

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-101859

(43) 公開日 平成11年(1999) 4月13日

(51) IntCl. ⁶	識別記号	F I	
G 0 1 R 31/28		G 0 1 R 31/28	G
G 0 6 F 11/22	3 6 0	G 0 6 F 11/22	3 6 0 P

審査請求 未請求 請求項の数5 O L (全 13 頁)

(21) 出願番号 特願平9-264247

(22) 出願日 平成9年(1997) 9月29日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 田口 清市

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

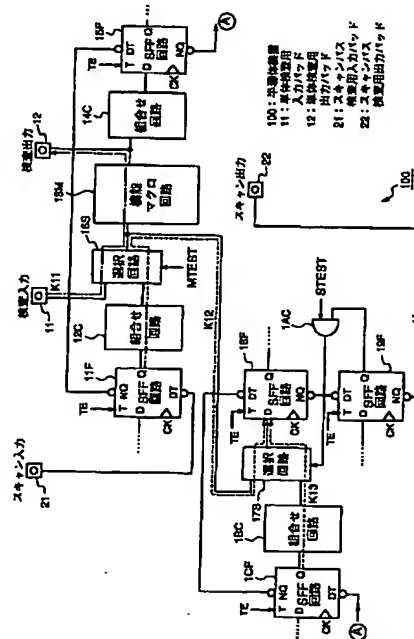
(74) 代理人 弁理士 早瀬 憲一

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 機能マクロ回路とその前段の組合せ回路との間に検査用 S F F 回路を設けることなく、上記組合せ回路のスキャンバス検査を実施可能とし、これにより構成回路を検査するための検査用回路の増大を抑え、かつ検査用回路による動作タイミングの変化を考慮した特別なタイミング設計を不要とし、しかもスキャンバス検査を故障検出率の高いものとする。

【解決手段】 機能マクロ回路 1 3 M、及びその前段の組合せ回路 1 2 C とともに、スキャンバスを形成する複数の S F F 回路 1 1 F、1 5 F、1 8 F を備え、上記機能マクロ回路前段側の S F F 回路 1 1 F の出力が入力される前段組合せ回路 1 2 C の出力と、その他の組合せ回路 1 B C の出力とを切り換えて所定の順序回路 1 8 F に出力する選択回路 1 7 S を備えた。



【特許請求の範囲】

【請求項1】 複数の順序回路を備え、該複数の順序回路により、スキャンバス検査用信号を通過させるためのスキャンバスが形成されるよう構成した半導体装置であって、データの記憶あるいはその他のデータ処理を行う機能を有する機能回路と、該機能回路の前段に設けられ、上記複数の順序回路のうちの、上記機能回路前段側の順序回路の出力が入力される前段組合せ回路と、該前段組合せ回路の出力と、該前段組合せ回路以外の所定の組合せ回路の出力とを制御信号に基づいて切り換えて、上記複数の順序回路のうちのいずれか1つの順序回路に出力する信号切換手段とを備えたことを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、上記信号切換手段は、上記複数の順序回路のうちのいずれかの順序回路の出力と上記制御信号との論理積に基づいて、上記前段組合せ回路の出力と該前段組合せ回路以外の上記所定の組合せ回路の出力との切り換えを行うものであることを特徴とする半導体装置。

【請求項3】 複数の順序回路を備え、該複数の順序回路により、スキャンバス検査用信号を通過させるためのスキャンバスが形成されるよう構成した半導体装置であって、データの記憶あるいはその他のデータ処理を行う機能を有する機能回路と、該機能回路の後段に設けられ、上記複数の順序回路のうちの、上記機能回路後段側の順序回路に論理信号を出力する後段組合せ回路と、上記機能回路の出力と、上記複数の順序回路のうちのいずれか1つの順序回路の出力とを制御信号に基づいて切り換えて、上記後段組合せ回路に出力する信号切換手段とを備えたことを特徴とする半導体装置。

【請求項4】 複数の順序回路を備え、該複数の順序回路により、スキャンバス検査用信号を通過させるためのスキャンバスが形成されるよう構成した半導体装置であって、データの記憶あるいはその他のデータ処理を行う機能を有する機能回路と、該機能回路の前段に設けられ、上記複数の順序回路のうちの、上記機能回路前段側の順序回路の出力が入力される前段組合せ回路と、該機能回路の後段に設けられ、上記複数の順序回路のうちの、上記機能回路後段側の順序回路に論理信号を出力する後段組合せ回路と、該前段組合せ回路の出力と、該前段及び後段組合せ回路以外の組合せ回路の出力とを制御信号に基づいて切り換えて、上記複数の順序回路のうちの所定の順序回路に出力する第1の信号切換手段と、

上記機能回路の出力と、上記複数の順序回路のうちのいずれかの順序回路の出力とを上記制御信号に基づいて切り換えて、上記後段組合せ回路に出力する第2の信号切換手段とを備えたことを特徴とする半導体装置。

【請求項5】 請求項4記載の半導体装置において、上記第1の信号切換手段は、上記複数の順序回路のうちの所定の順序回路の出力と上記制御信号との論理積に基づいて、上記前段組合せ回路の出力と該前段及び後段組合せ回路以外の組合せ回路の出力との切り換えを行うものであることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に関し、特に機能マクロ回路を内蔵した半導体装置における、スキャンバス検査と機能マクロ回路に対する単体検査の両方の検査を該半導体装置に適用するための回路構成に関するものである。

【0002】

【従来の技術】近年、ますます大規模化、高集積化の進む半導体装置においては、その構成回路の検査方法として、容易に高い故障検出率が得られる、スキャンバス検査と機能マクロ回路の単体検査を併用する方法が主流となっている。図4は上記のような検査方法が適用される従来の半導体装置の回路構成を示している。図において、400はスキャンバス検査と単体検査が適用される半導体装置で、単体検査用テストパターン信号（以下、MTP信号と略記する。）を入力するための入力パッド11と、該MTP信号が出力される出力パッド12と、スキャンバス検査用テストパターン信号（STP信号と略記する。）を入力するための入力パッド21と、該STP信号が出力される出力パッド22とを有している。

【0003】この半導体装置400は、DRAMやROMあるいは乗算器としての機能マクロ回路43Mと、該機能マクロ回路43の前段に設けられた前段組合せ回路42Cと、該組み合わせ回路42Cの前段に設けられた、スキャンバス検査対応フリップフロップ（以下、前段SFF回路と略記する。）41Fとを有している。

【0004】また、上記半導体装置400は、上記機能マクロ回路43Mの後段に設けられた後段組合せ回路44Cと、該後段組合せ回路44Cのさらに後段に設けられたスキャンバス検査対応フリップフロップ（以下、後段SFF回路と略記する。）45Fとを有している。

【0005】ここで、上記前段及び後段SFF回路41F、45Fは、それぞれCK入力に供給されるクロック信号により動作する一種の順序回路である。この前段SFF回路41Fは、D入力にその前段側からの信号が入力され、そのDT入力には上記スキャンバス検査用入力パッド21からのテスト信号が入力されるようになっており、そのQ出力が上記前段組合せ回路42Cの入力に接続されている。また、上記後段SFF回路45Fはそ

のD入力に上記後段組合せ回路44Cの出力に接続され、DT入力に上記前段SFF回路41FのNQ出力に接続され、Q出力がその後段側の回路に接続され、さらにNQ出力が上記スキャンバス検査用出力パッド22に接続されている。また、上記前段SFF回路41F及び後段SFF回路45Fは、そのT入力にはスキャンバス検査制御信号TEが入力され、該スキャンバス検査制御信号TEによって、上記D入力に輸入されている信号とDT入力に輸入されている信号の一方を選択してラッチする構成となっている。

【0006】そして、上記半導体装置400では、上記前段組合せ回路42Cと機能マクロ回路43Mとの間に選択回路46Sが設けられており、該選択回路46Sは、単体検査モード信号MTESTにより、上記前段組合せ回路42Cの出力と上記単体検査用入力パッド11からのMTP信号とを切り換えて上記機能マクロ回路43Mに出力する構成となっている。なお、単体検査用出力パッド12は上記機能マクロ回路43Mの出力に接続されている。

【0007】このような構成の半導体装置400では、通常動作時には、上記選択回路46Sは前段組合せ回路42Cの出力を選択し、上記各SFF回路41F、45FはそのD入力を選択し、これにより各SFF回路、組合せ回路、及び機能マクロ回路により所要の信号処理が行われる。

【0008】一方、機能マクロ回路の単体検査時には、本装置400の外部から単体検査モード信号MTESTを上記選択回路46Sに印加すると、該選択回路46Sは、上記単体検査用入力パッド11からの信号を選択する。この状態で、検査装置（図示せず）から上記MTP信号を上記検査入力パッド11に印加すると、該MTP信号は経路K41を経て検査用出力パッド12に出力されることとなる。この検査出力パッド12に出力されるMTP信号の各ビットデータを検査装置にて期待値と比較することにより、上記機能マクロ回路43Mの検査が実施される。

【0009】また、スキャンバス検査の際には、本半導体装置400の外部からのスキャンバス検査制御信号TEにより上記各SFF回路41F、45Fは、D入力及びDT入力の方を選択するよう制御される。つまり、スキャンバス検査制御信号TEがデータシフトモードを示すとき、上記各SFF回路41F、45Fは、DT入力を選択し、該各SFF回路41F、45Fにより、上記STP信号を通過させるスキャンバス（スキャンチェーン）が上記スキャンバス検査入力パッド21と出力パッド22の間に形成される。これに対し、スキャンバス検査制御信号TEがキャプチャモードを示すとき、上記各SFF回路41F、45FはD入力を選択し、通常動作モードと同様な信号経路が形成される。

【0010】そして、スキャンバス検査では、データシ

フトモードにて、検査装置（図示せず）からSTP信号を上記入力パッド21に印加して各SFF回路にSTP信号の各ビットデータを格納し、その後、一旦、キャプチャモードにモード変更して各SFF回路41F、45Fにその前段回路の出力をラッチし、さらにデータシフトモードにモード変更して、各SFF回路内に格納されているビットデータを順次出力パッド22に出力する。この出力パッド22に順次出力されるビットデータを検査装置にて、期待値と比較することにより、上記スキャンバスにおける前後のSFF回路間に位置する組合せ回路の検査を行うことができる。

【0011】ところが、上記のような回路構成を有する半導体装置400では、上記機能マクロ回路の前、後段の組合せ回路42C、44Cは、機能マクロ回路43Mの単体検査においてはテスト信号の通過経路から外れるため、上記組合せ回路にはテスト信号が通らず、これらの回路部分で発生した故障を上記検査により検出することができないという問題があった。

【0012】また、メモリ等の機能を有する機能マクロ回路では、論理回路により構成される組合せ回路とは異なり、入力信号に対する出力信号の予測が困難であるため、図4に示すスキャンチェーンを、キャプチャモード時の信号経路に組合せ回路と機能マクロ回路を含むよう構成しても、該キャプチャモード時の信号経路における、機能マクロ回路を含む隣接SFF回路間の部分については、故障の検出が不可能である。

【0013】そこで、一般的には、図5に示すように、機能マクロ回路の前、後段の組合せ回路に対するスキャンバス検査が可能となるよう構成した半導体装置が用いられている。図5において、500は従来の一般的な半導体装置であり、図4に示す半導体装置400と同様、機能マクロ回路53M、前、後段組合せ回路52C、56C、前、後段側のSFF回路51F、57F、及び選択回路58Sを有しており、これらの回路51F、52C、58S、53M、56C、57Fは、上記半導体装置400における各回路41F、42C、46S、43M、44C、45Fと全く同一構成となっている。

【0014】そして、この半導体装置500では、以下の点で上記半導体装置400と構成が異なっている。つまり、上記機能マクロ回路53Mと選択回路58Sとの間に第1のテスト用SFF回路54Fが設けられ、上記機能マクロ回路53Mと後段組合せ回路56Cとの間に第2のテスト用SFF回路55Fが設けられている。該両テスト用SFF回路54F、55Fのクロック入力CKには、上記前、後段側SFF回路51F、57Fと同様にクロック信号が入力され、第1、第2のテスト用SFF回路54F、55FのT入力には、上記前、後段側SFF回路51F、57Fと同様にスキャンバス検査制御信号TEが入力されるようになっており、該スキャンバス検査制御信号TEにより、上記両テスト用SFF回

路54F、55Fは、D入力とDT入力的一方を選択するよう構成されている。

【0015】また、第1のテスト用SFF回路54FのD入力は上記選択回路58Sの出力に接続され、そのQ出力は上記機能マクロ回路53Mの入力に接続されている。上記第2のテスト用SFF回路55FのD入力は上記機能マクロ回路53Mの出力に接続され、そのQ出力は上記後段組合せ回路56Cの入力に接続されている。

【0016】そして、この半導体装置500では、前段SFF回路51FのNQ出力が上記第1のテスト用SFF回路54FのDT入力に接続され、該第1のテスト用SFF回路54FのNQ出力が上記第2のテスト用SFF回路55FのDT入力に接続され、該SFF回路55FのNQ出力が上記後段SFF回路57FのDT入力に接続されている。これらのSFF回路により、スキャンバス検査におけるデータシフトモードにて、入力パッド21と出力パッド22との間にスキャンバス（スキャンチェーン）が形成されるようになっていく。

【0017】このような構成の半導体装置500においても、機能マクロ回路の単体検査を行う場合には、上記選択回路58Sは、単体検査モード信号MTESTに基づいて入力パッド11からの信号を選択するので、該入力パッド11からのMTP信号を経路K51を介して出力パッド12へ出力することにより、上記機能マクロ回路についての検査を行うことができる。

【0018】一方、スキャンバス検査は、上記半導体装置400における場合と同様に、スキャンバス検査制御信号TEにより上記各SFF回路を制御してデータシフトモードあるいはキャプチャモードを設定することにより実施することができる。図6は、上記半導体装置500においてスキャンバス検査を行う場合のタイミングチャートを示しており、以下このスキャンバス検査について具体的に説明する。但し、以下のスキャンバス検査の説明では、説明を簡単にするため、半導体装置500は、図5に示す回路のみから構成されているものとする。

【0019】この例では、スキャンバス検査制御信号TEがハイレベルであるとき、上記各SFF回路のDT入力の選択によりスキャンチェーンが形成されるデータシフトモードが設定され、スキャンバス検査制御信号TEがローレベルであるとき、上記SFF回路がD入力を選択して通常動作の信号経路が形成されるキャプチャモードが設定される。ここでは、上記スキャンチェーンを構成するSFF回路が4個であるため、データシフト期間は4クロック分、データキャプチャ期間は1クロック分となっている。

【0020】まず、スキャンバス検査モードが設定された後の最初の4クロックの期間の間は、上記スキャンバス検査制御信号TEはハイレベルを保持するため、上記前段SFF回路51F、第1のテスト用SFF回路54

F、第2のテスト用SFF回路55F、後段SFF回路57Fがそれぞれ、DT入力を選択するデータシフトモードが設定される。このため、このモードにて上記スキャン検査用入力パッド21から、図6に示すSPT信号（スキャン入力）の各ビットデータS71、S51、S41、S11、NL1、・・・が順次入力されると、上記各SFF回路は、そのCK入力に入力されるクロック信号に同期して上記各ビットデータを順次ラッチする。

【0021】図6に示す例では、最初の4クロックに相当する期間が経過した時点で、前段SFF51FにはビットデータS11が、第1のテスト用SFF54FにはビットデータS41が、第2のテスト用SFF回路55FにはビットデータS51が、後段SFF回路57FにはビットデータS71が保持される。このとき、前段組合せ回路52Cは、その前段のSFF回路51Fの出力S11に応じたデータE81を出力し、後段組合せ回路56Cはその前段の第2のテスト用SFF回路55Fの出力S51に応じたデータE61を出力し、さらに機能マクロ回路53Mは、その前段の第1のテスト用SFF回路55Fの出力S41に対して所定のデータ処理を施したデータX31を出力することとなる。

【0022】次に、制御信号TEがローレベルになると、上記前段SFF回路51F、第1のテスト用SFF回路54F、第2のテスト用SFF回路55F、後段SFF回路57Fがそれぞれ、D入力を選択するデータキャプチャモードが設定され、この状態が1クロック期間だけ保持される。これにより、上記各SFF回路はその前段回路の出力をラッチする。

【0023】具体的には、上記前段SFF回路51Fはその前段回路（図示せず）の出力E01を、第1のテスト用SFF回路54Fは、その前段側の前段組合せ回路52Cの出力E81を、第2のテスト用SFF回路55Fは、その前段側の機能マクロ回路53Mの出力X31を、さらに後段組合せ回路57Fは、その前段側の後段組合せ回路56Cの出力E61をラッチする。

【0024】その後、上記制御信号TEが再度ハイレベルになると、4クロック周期に相当する期間の間、データシフトモードが保持され、上記入力パッド21から順次、SPT信号の各ビットデータが、上記スキャンチェーンを構成する各SFF回路に順次シフトされる。

【0025】このとき、上記最初のキャプチャモードの際に各SFF回路にラッチされたビットデータがスキャンバス検査用出力パッド22から出力されることとなる。この出力データを検査装置（図示せず）にて、対応する期待値と比較することにより、上記組合せ回路52C、56Cの評価が行われる。

【0026】そして上記のようなデータシフトモードとデータキャプチャモードの切り換えが、スキャンバス検査制御信号TEの信号レベルの変化に応じて所定の回数繰り返えされることにより、上記所要のパターンのST

P信号による組合せ回路の評価が行われることとなり、これにより該組合せ回路の検査が実施される。

【0027】なお、図6中、S12、S42、S52、S72は2回目のデータシフト期間の終了時点にて、上記各SFF回路51F、54F、55F、57FにラッチされるSTP信号のビットデータであり、S13、S43、S53、S73は3回目のデータシフト期間の終了時点にて、上記各SFF回路51F、54F、55F、57FにラッチされるSTP信号のビットデータである。また、E02、S82、X32、E62は2回目のデータキャプチャ期間にて、上記各SFF回路51F、54F、55F、57Fにラッチされる、前段回路の出力データであり、E03、S83、X33、E63は3回目のキャプチャ期間にて、上記各SFF回路51F、54F、55F、57Fにラッチされる、前段回路の出力データである。また、NL1、NL2、NL3は、それぞれ1回、2回、3回目のキャプチャモード期間に、上記スキャンバス検査用入力パッド21に入力されるSTP信号のビットデータである。

【0028】

【発明が解決しようとする課題】上記のような半導体装置500では、機能マクロの単体検査とスキャンバス検査との併用により、該装置を構成する各構成回路についての検査が実施可能であり、これによって半導体装置の故障検出率を向上させることができるが、機能マクロ回路の前段及び後段に、スキャンバス検査時のみ使用する検査用SFF回路を挿入する必要がある、このため回路規模の増大を招くといった問題がある。

【0029】また、半導体装置を構成する機能マクロ回路の前段及び後段に通常動作には必要のない検査用SFF回路を挿入することにより、半導体装置の通常動作では余分に動作クロックが必要となり、また、該検査用SFF回路の挿入による装置の動作タイミングの変化を考慮した特別なタイミング設計が必要となるといった問題もある。

【0030】本発明は、上記のような問題点を解決するためになされたもので、構成回路を検査するための検査用回路の増大を抑えつつ、検査用回路による動作タイミングの変化を考慮した特別なタイミング設計を不要とすることができ、しかも故障検出率の高い検査を可能とする半導体装置を得ることを目的とする。

【0031】

【課題を解決するための手段】この発明（請求項1）に係る半導体装置は、複数の順序回路を備え、該複数の順序回路により、スキャンバス検査用信号を通過させるためのスキャンバスが形成されるよう構成した半導体装置であって、データの記憶あるいはその他のデータ処理を行う機能を有する機能回路と、該機能回路の前段に設けられ、上記複数の順序回路のうちの、上記機能回路前段側の順序回路の出力が入力される前段組合せ回路と、該

前段組合せ回路の出力と該前段組合せ回路以外の所定の組合せ回路の出力とを制御信号に基づいて切り換えて、上記複数の順序回路のうちのいずれか1つの順序回路に出力する信号切換手段とを備えたものである。

【0032】この発明（請求項2）は、請求項1記載の半導体装置において、上記信号切換手段を、上記複数の順序回路のうちのいずれかの順序回路の出力と上記制御信号との論理積に基づいて、上記前段組合せ回路の出力と該前段組合せ回路以外の上記所定の組合せ回路の出力との切り換えを行うよう構成としたものである。

【0033】この発明（請求項3）に係る半導体装置は、複数の順序回路を備え、該複数の順序回路により、スキャンバス検査用信号を通過させるためのスキャンバスが形成されるよう構成した半導体装置であって、データの記憶あるいはその他のデータ処理を行う機能を有する機能回路と、該機能回路の後段に設けられ、上記複数の順序回路のうちの、上記機能回路後段側の順序回路に論理信号を出力する後段組合せ回路と、上記機能回路の出力と上記複数の順序回路のうちのいずれか1つの順序回路の出力とを制御信号に基づいて切り換えて、上記後段組合せ回路に出力する信号切換手段とを備えたものである。

【0034】この発明（請求項4）に係る半導体装置は、複数の順序回路を備え、該複数の順序回路により、スキャンバス検査用信号を通過させるためのスキャンバスが形成されるよう構成した半導体装置であって、データの記憶あるいはその他のデータ処理を行う機能を有する機能回路と、該機能回路の前段に設けられ、上記複数の順序回路のうちの、上記機能回路前段側の順序回路の出力が入力される前段組合せ回路と、該機能回路の後段に設けられ、上記複数の順序回路のうちの、上記機能回路後段側の順序回路に論理信号を出力する後段組合せ回路と、該前段組合せ回路の出力と該前段及び後段組合せ回路以外の組合せ回路の出力とを制御信号に基づいて切り換えて、上記複数の順序回路のうちの所定の順序回路に出力する第1の信号切換手段と、上記機能回路の出力と上記複数の順序回路のうちのいずれかの順序回路の出力とを上記制御信号に基づいて切り換えて、上記後段組合せ回路に出力する第2の信号切換手段とを備えたものである。

【0035】この発明（請求項5）は、請求項4記載の半導体装置において、上記第1の信号切換手段を、上記複数の順序回路のうちの所定の順序回路の出力と上記制御信号との論理積に基づいて、上記前段組合せ回路の出力と該前段及び後段組合せ回路以外の組合せ回路の出力との切り換えを行うよう構成したものである。

【0036】

【発明の実施の形態】以下、本発明の実施の形態について説明する。

実施の形態1. 図1は本発明の実施の形態1による半導

体装置を説明するためのブロック図である。図において、図4と同一符号は従来の半導体装置400と同一のものを示し、100は本実施の形態1の半導体装置であり、SFF回路、組合せ回路、及び機能マクロ回路をそれぞれ複数有し、機能マクロ回路の単体検査とスキャンバス検査の両方の検査を実施可能な構成となっている。

【0037】すなわち、この半導体装置100は、図4に示す従来の半導体装置400と同様、機能マクロ回路13M、その前、後段の組合せ回路12C、14C、機能マクロ回路の前、後段側のSFF回路11F、15F、及び選択回路16Sを有しており、これらは従来の半導体装置400における対応する回路43M、42C、44C、41F、45F、及び46Sと全く同一構成となっている。

【0038】さらに、上記半導体装置100は、上記各組合せ回路回路に加えて他の組合せ回路1BCを有し、該組合せ回路1BCの前段側にはSFF回路1Cが、その後段側にはSFF回路18Fが設けられており、該組合せ回路1BCとSFF回路18Fとの間には、該組合せ回路1BCの出力と上記選択回路16Sの出力とを切

換制御信号により切り換えて上記SFF回路18Fに出力する選択回路17Sが設けられている。ここで、上記切換制御信号は、スキャンバス検査モード信号TESTと上記SFF回路以外の他のSFF回路19Fの出力とを入力とするAND回路1ACの出力となっている。

【0039】また、上記半導体装置100では、上記各SFF回路は、それぞれクロック入力CK、D入力、DT入力、Q出力、NQ出力、及びT入力を有しており、該T入力に供給されるスキャンバス検査制御信号TEにより、D入力に供給される信号とDT入力に供給される

信号を選択し、該選択した信号に応じた非反転信号をQ出力に、反転信号をNQ出力に出力する構成となっている。

【0040】そして、この半導体装置100では、スキャンバス検査用入力パッド21とスキャンバス検査用出力パッド22の間で、スキャンバス（スキャンチェーン）を構成する複数のSFF回路が、上記入力パッド21側からSFF回路11F、15F、1CF、18F、19F、・・・の順序で配列されている。

【0041】次に動作について説明する。まず、通常動作モードでは、各SFF回路はD入力に供給される信号

ととなる。またスキャンバス検査時には、スキャンバス検査モード信号TESTにより、SFF回路19Fの出力が選択回路17Sの制御信号として有効となり、該選択回路17SはSFF回路19Fの出力により、組合せ回路1BCの出力と上記選択回路16Sの出力のいずれか一方を選択する。さらにスキャンバス検査時には、各SFF回路のT入力に供給されるスキャンバス検査制御信号TEにより、スキャンバスチェーンが形成されるデータシフトモードと、各回路が通常動作時における接続状態となるデータキャプチャモードとが切換えられる。

【0043】つまり、機能マクロ回路の単体検査時には、上記入力パッド11から選択回路16S、機能マクロ回路13Mを介して出力パッド12に至る経路K11が形成されるため、検査装置（図示せず）から上記入力パッド11にMTP信号を供給することにより、この信号に対応した信号が上記出力パッド12に得られる。従って、該出力パッド12に出力される信号を検査装置にて期待値と比較することにより、上記機能マクロ回路の単体検査を行うことができる。

【0044】また、スキャンバス検査時には、まず、図5に示す従来の半導体装置500の動作にて説明したように、データシフトモードにて上記入力パッド21から供給されるSTP信号の各ビットデータが、スキャンチェーンを構成する各SFF回路に格納される。

【0045】その後、上記各SFF回路のT入力に供給されるスキャンバス検査制御信号TEの信号レベルが切り替わることに伴い、データキャプチャモードが設定される。このデータキャプチャモードではSFF回路ではD入力を選択されて本半導体装置100における各回路は通常動作時の接続状態となるため、各SFF回路にはその前段の回路の出力が取り込まれる。

【0046】例えば、選択回路17Sが選択回路16Sの出力を選択している場合は、SFF回路18Fには経路K12を介して組合せ回路12Cの出力が取り込まれ、選択回路17Sが組合せ回路1BCの出力を選択している場合は、SFF回路18Fには経路K13を介して上記組合せ回路1BCの出力が取り込まれる。また上記選択回路17Sが選択回路16Sの出力を選択するか、あるいは組合せ回路1BCの出力を選択するかは、SFF回路19Fにデータシフトモードにて格納されているデータにより決まる。

【0047】その後、上記T入力に供給されるスキャンバス検査制御信号TEの信号レベルが切り替わることに伴い、再びデータシフトモードに設定される。この2回目のデータシフトモードでは、上記各SFF回路に格納されているビットデータを、スキャンチェーンを構成するSFF回路の数だけシフトして、上記出力パッド22から出力される。このとき出力パッド22に出力されるビットデータを検査装置により期待値と比較することにより、上記組合せ回路12C、1BCの検査を実施する

ことができる。

【0048】このように実施の形態1では、機能マクロ回路13M、及びその前段の組合せ回路12Cに加えて、スキャンバスを形成する複数のSFF回路11F、15F、18Fを備えるとともに、上記機能マクロ回路前段側のSFF回路11Fの出力が入力される前段組合せ回路12Cの出力と、その他の組合せ回路1BCの出力とを切り換えて所定のSFF回路18Fに出力する選択回路17Sを備えたので、機能マクロ回路13Mとその前段の組合せ回路12Cとの間に検査用SFF回路を設けることなく、上記組合せ回路12Cのスキャンバス検査を実施できる。これにより構成回路を検査するための検査用回路の増大を抑え、かつ検査用回路による動作タイミングの変化を考慮した特別なタイミング設計を不要とし、しかもスキャンバス検査を故障検出率の高いものとすることができる。

【0049】また、上記選択回路17Sを、SFF回路19Fの出力とスキャンバス検査モード信号STESTとの論理積により、組合せ回路12Cの出力と組合せ回路1BCの出力のいずれかを選択するようにしたので、SPT信号のパターン設定により上記選択回路17Sが経路K12と経路K13を自動的に切り換えることとなり、これにより組合せ回路12Cと1BCの検査を一連のスキャンバス検査にて連続して行うことができる。

【0050】実施の形態2、図2は本発明の実施の形態2による半導体装置を説明するためのブロック図である。図において、図4と同一符号は従来の半導体装置400と同一のものを示し、200は本実施の形態2の半導体装置であり、SFF回路、組合せ回路、及び機能マクロ回路をそれぞれ複数有し、機能マクロ回路の単体検査とスキャンバス検査の両方の検査を実施可能な構成となっている。

【0051】すなわち、この半導体装置200は、図4に示す従来の半導体装置400と同様、機能マクロ回路23M、その前、後段の組合せ回路22C、24C、機能マクロ回路の前、後段側のSFF回路21F、25F、及び選択回路26Sを有しており、これらは従来の半導体装置400における対応する回路43M、42C、44C、41F、45F、及び46Sと全く同一構成となっている。

【0052】さらに、上記半導体装置200では、上記組合せ回路24Cと機能マクロ回路23Mとの間に、該機能マクロ回路23Mの出力と上記SFF回路以外のSFF回路28Fの出力とを／STEST信号（スキャンバス検査モード信号STESTの反転信号）により切り換えて上記組合せ回路24Cに出力する選択回路27Sが設けられている。

【0053】また、上記半導体装置200では、上記各SFF回路は、それぞれクロック入力CK、D入力、D

該T入力に供給されるスキャンバス検査制御信号TEにより、D入力に供給される信号とDT入力に供給される信号を選択し、該選択した信号に応じた非反転信号をQ出力に、反転信号をNQ出力に出力する構成となっている。

【0054】そして、この半導体装置200では、単体検査用出力パッド12は、上記選択回路27Sの出力に接続されており、また、スキャンバス検査用入力パッド21と該スキャンバス検査用出力パッド22の間で、スキャンバス（スキャンチェーン）を構成する複数のSFF回路が、上記入力パッド21側からSFF回路21F、25F、28F、・・・の順序で配列されている。

【0055】次に動作について説明する。まず、通常動作モードでは、各SFF回路はD入力に入力される信号を選択し、選択回路26Sは組合せ回路22Cの出力を選択し、さらに選択回路27Sは機能マクロ回路23Mの出力を選択することとなり、これにより本半導体装置200は本来の信号処理を行う。

【0056】一方、検査モードでは、機能マクロ回路の単体検査時には、単体検査モード信号MTESTにより選択回路26Sが単体検査用入力パッド11からの信号を選択することとなり、スキャンバス検査時には、／STSET信号により上記選択回路27SはSFF回路28Fの出力を選択することとなる。なお、この選択回路27Sは、／STSET信号が入力されていない状態では、常に機能マクロ回路23Mの出力を選択するようにになっている。さらにスキャンバス検査時には、各SFF回路のT入力に供給されるモード信号により、スキャンバスチェーンが形成されるデータシフトモードと、各回路が通常動作時における接続状態となるデータキャプチャモードとが切換えられる。

【0057】つまり、機能マクロ回路の単体検査時には、上記入力パッド11から選択回路26S、機能マクロ回路23M、選択回路27Sを介して出力パッド12に至る経路K21が形成されるため、検査装置（図示せず）から上記入力パッド11にMTP信号を供給することにより、このMTP信号に対応した信号が上記出力パッド12に得られる。従って、該出力パッド12に出力される信号を検査装置にて期待値と比較することにより、上記機能マクロ回路の検査を行うことができる。

【0058】また、スキャンバス検査時には、まず、図5に示す従来の半導体装置500の動作にて説明したように、データシフトモードにて上記入力パッド21から供給されるSTP信号の各ビットデータが、スキャンチェーンを構成する各SFF回路に格納される。

【0059】その後、上記各SFF回路のT入力に供給されるスキャンバス検査制御信号TEの信号レベルが切り替わることにより、キャプチャモードが設定される。このキャプチャモードでは各SFF回路にてD入力が選択されて半導体装置における各回路は通常動作時の接続

状態となるため、各SFF回路にはその前段の回路の出力が取り込まれる。例えば、SFF回路25Fには経路K22を介して組合せ回路24Cの出力が取り込まれる。

【0060】その後、上記各SFF回路のT入力に供給されるスキャンバス検査制御信号TEの信号レベルが切り替わることにより、再びデータシフトモードに設定される。この2回目のデータシフトモードでは、上記各SFF回路に格納されているビットデータを、スキャンチェーンを構成するSFF回路の数だけシフトして、上記出力パッド22から出力する。このとき出力パッド22に出力されるビットデータを検査装置により期待値と比較することにより、上記組合せ回路24Cの検査を実施することができる。

【0061】このように本実施の形態2では、機能マクロ回路23M、及びその後段の組合せ回路24Cに加えて、スキャンバスを形成する複数のSFF回路21F、25F、28Fを備えるとともに、上記SFF回路28Fの出力と機能マクロ回路23Mの出力とを切り換える選択回路27Sを備え、該選択回路27Sの出力を、後段側にSFF回路25Fが接続されている上記組合せ回路24Cに出力するようにしたので、機能マクロ回路23Mとその後段の組合せ回路24Cとの間に検査用SFF回路を設けることなく、上記組合せ回路24Cのスキャンバス検査を実施できる。これにより構成回路を検査するための検査用回路の増大を抑え、かつ検査用回路による動作タイミングの変化を考慮した特別なタイミング設計を不要とし、しかもスキャンバス検査を故障検出率の高いものとすることができる。

【0062】実施の形態3。図3は本発明の実施の形態3による半導体装置を説明するためのブロック図である。図において、300は本実施の形態3の半導体装置であり、図1に示す実施の形態1の半導体装置100の構成と、図2に示す実施の形態2の半導体装置200の構成を組み合わせたものであり、上記各実施の形態の半導体装置と同様、SFF回路、組合せ回路、及び機能マクロ回路をそれぞれ複数有し、機能マクロ回路の単体検査とスキャンバス検査の両方の検査を実施可能な構成となっている。

【0063】すなわち、この半導体装置300は、図1に示す半導体装置100と同様、機能マクロ回路33M、組合せ回路32C、34C、3BC、SFF回路31F、35F、3CF、38F、39F、選択回路36S、37S、及びAND回路3ACを有しており、これらは実施の形態1の半導体装置100における機能マクロ回路13M、組合せ回路12C、14C、1BC、SFF回路11F、15F、1CF、18F、19F、選択回路16S、17S、及びAND回路1ACと全く同一構成となっており、またこの半導体装置300は、図2に示す半導体装置200における選択回路27S及び

SFF回路28Fに相当する選択回路3ES及びSFF回路3FFを有している。

【0064】さらにこの半導体装置300では、上記選択回路3ESには制御信号として、スキャンバス検査モード信号TESTを入力とするインバータ3DCの出力(／TEST信号)を供給するようにしている。

【0065】そして、この半導体装置300では、単体検査用出力パッド12は上記選択回路3ESの出力に接続されており、また、スキャンバス検査用入力パッド21とスキャンバス検査用出力パッド22の間で、スキャンバス(スキャンチェーン)を構成する複数のSFF回路が、上記入力パッド21側からSFF回路31F、35F、3FF、3CF、38F、39F、・・・の順序で配列されている。

【0066】次に動作について説明する。まず、通常動作モードでは、各SFF回路はD入力に入力される信号を選択し、選択回路36Sは組合せ回路32Cの出力を選択し、また選択回路37Sは組合せ回路3BCの出力を選択し、選択回路3ESは機能マクロ回路33Mの出力を選択することとなり、これにより本半導体装置300は本来の信号処理を行う。

【0067】一方、検査モードでは、機能マクロ回路の単体検査時には、単体検査モード信号MTESTにより選択回路36Sが単体検査用入力パッド11からの信号を選択することとなり、スキャンバス検査時には、上記選択回路36Sは組合せ回路32Cの出力を選択することとなる。なお、この選択回路3ESは、／TEST信号が入力されていない状態では、常に機能マクロ回路33Mの出力を選択するようになっている。またスキャンバス検査時には、スキャンバス検査モード信号TESTにより、SFF回路39Fの出力が選択回路37Sの制御信号として有効となり、該選択回路37SはSFF回路39Fの出力により、組合せ回路3BCの出力と上記選択回路36Sの出力のいずれか一方を選択する。さらにインバータ3DCの出力である／TEST信号により上記選択回路3ESはSFF回路3FFの出力を選択することとなる。そしてこのスキャンバス検査時には、各SFF回路のT入力に供給されるスキャンバス検査制御信号TEにより、スキャンバスチェーンが形成されるデータシフトモードと、各回路が通常動作時における接続状態となるデータキャプチャモードとが切換えられる。

【0068】つまり、機能マクロ回路の単体検査時には、上記入力パッド11から選択回路36S、機能マクロ回路33M、選択回路3ESを介して出力パッド12に至る経路K31が形成されるため、検査装置(図示せず)から上記入力パッド11にMTP信号を供給することにより、この信号に対応した信号が上記出力パッド12に得られる。従って、該出力パッド12に出力される信号を検査装置にて期待値と比較することにより、上記

機能マクロ回路の単体検査を行うことができる。

【0069】また、スキャンバス検査時には、まず、図5に示す従来の半導体装置500の動作にて説明したように、データシフトモードにて上記入力パッド21から供給されるSTP信号の各ビットデータが、スキャンチェーンを構成する各SFF回路に格納される。

【0070】その後、上記各SFF回路のT入力に供給されるスキャンバス検査制御信号TEの信号レベルが切り替わることにより、キャプチャモードが設定される。このキャプチャモードではSFF回路ではD入力が選択されて半導体装置における各回路は通常動作時の接続状態となるため、各SFF回路にはその前段の回路の出力が取り込まれる。

【0071】例えば、選択回路37Sが選択回路36Sの出力を選択している場合は、SFF回路38Fには経路K32を介して組合せ回路32Cの出力が取り込まれ、選択回路37Sが組合せ回路3BCの出力を選択している場合は、SFF回路38Fには経路K33を介して上記組合せ回路3BCの出力が取り込まれる。また上記選択回路37Sが選択回路36Sの出力を選択するか、あるいは組合せ回路3BCの出力を選択するかは、SFF回路39Fにデータシフトモードにて格納されているデータにより決まる。また、SFF回路35Fには経路K34を介して組合せ回路34Cの出力が取り込まれる。

【0072】その後、上記各SFF回路のT入力に供給されるスキャンバス検査制御信号TEの信号レベルが切り替わることにより、再びデータシフトモードに設定される。この2回目のデータシフトモードでは、上記各SFF回路に格納されているビットデータを、スキャンチェーンを構成するSFF回路の数だけシフトして、上記出力パッド22から出力する。このとき出力パッド22に出力されるビットデータを検査装置により期待値と比較することにより、上記組合せ回路32C、3BC、34Cの検査を実施することができる。

【0073】このように実施の形態3では、機能マクロ回路33M、及びその前、後段の組合せ回路32C、34Cに加えて、スキャンバスを形成する複数のSFF回路31F、35F、38Fを備えるとともに、上記機能マクロ回路前段側のSFF回路31Fの出力が入力される前段組合せ回路32Cの出力と、その他の組合せ回路3BCの出力とを切り換えて所定のSFF回路38Fに出力する選択回路37Sを備え、かつ上記SFF回路3FFの出力と機能マクロ回路33Mの出力とを切り換える選択回路3ESを備え、該選択回路3ESの出力を、後段側にSFF回路35Fが接続されている上記組合せ回路34Cに出力するようにしたので、機能マクロ回路33Mとその前、後段の組合せ回路32C、34Cとの間に検査用SFF回路を設けることなく、上記組合せ回路32C、34Cのスキャンバス検査を実施できる。こ

れにより構成回路を検査するための検査用回路の増大を抑え、かつ検査用回路による動作タイミングの変化を考慮した特別なタイミング設計を不要とし、しかもスキャンバス検査を故障検出率の高いものとすることができる。

【0074】また、上記選択回路37Sを、SFF回路39Fの出力とTEST信号との論理積により、組合せ回路32Cの出力と組合せ回路3BCの出力のいずれかを選択するようにしたので、SPT信号パターンの設定により上記選択回路37Sが経路K32と経路K33を自動的に切り換えることとなり、これにより組合せ回路32Cと3BCの検査を一連のスキャンバス検査にて連続して行うことができる効果もある。

【0075】なお、上記各実施の形態では、スキャンバスを形成するSFF回路を特定して示したが、スキャンバスの経路は上記実施の形態のものに限らず、半導体装置に搭載されたSFF回路により適宜所定のスキャンチェーンを形成することができる。

【0076】例えば、スキャンバス検査におけるキャプチャモードで、あるSFF回路から組合せ回路等に検査信号が出力され、再び同じSFF回路に信号が保持されるような構成とすることも可能である。ただし、形成するスキャンバスチェーンに対応した検査信号パターンを設定することが必要である。

【0077】

【発明の効果】以上のように、この発明（請求項1）に係る半導体装置によれば、機能回路と複数の順序回路を備え、該複数の順序回路により、スキャンバス検査用信号を通過させるためのスキャンバスを形成可能に構成するとともに、該機能回路の前段に設けられた、上記複数の順序回路のうちの、上記機能回路前段側の順序回路の出力が入力される前段組合せ回路の出力と、該前段組合せ回路以外の所定の組合せ回路の出力とを制御信号に基づいて切り換える信号切換手段を備え、該信号切換手段の出力を上記複数の順序回路のうちのいずれか1つの順序回路に出力するようにしたので、機能回路とその前段の組合せ回路との間に検査用の順序回路を設けることなく、該組合せ回路のスキャンバス検査が実施可能となる。これにより、構成回路を検査するための検査用回路の増大を抑え、かつ検査用回路による動作タイミングの変化を考慮した特別なタイミング設計を不要とすることができ、しかもスキャンバス検査を故障検出率の高いものとする効果がある。

【0078】この発明（請求項2）によれば、請求項1記載の半導体装置において、上記信号切換手段を、上記複数の順序回路のうちのいずれかの順序回路の出力と上記制御信号との論理積に基づいて、上記前段組合せ回路の出力と該前段組合せ回路以外の上記所定の組合せ回路の出力との切り換えを行うよう構成としたので、スキャンバス検査用信号のテストパターンによって、検査対象

となる組合せ回路を切り換えることができ、これにより複数の組合せ回路の検査を自動的に行うことができる効果がある。

【0079】この発明（請求項3）に係る半導体装置によれば、機能回路と複数の順序回路を備え、該複数の順序回路により、スキャンバス検査用信号を通過させるためのスキャンバスを形成可能に構成するとともに、該機能回路の後段に設けられ、上記複数の順序回路のうちの、上記機能回路後段側の順序回路に論理信号を出力する後段組合せ回路と、上記機能回路の出力と上記複数の順序回路のうちのいずれか1つの順序回路の出力とを制御信号に基づいて切り換えて上記後段組合せ回路に出力する信号切換手段とを備えたので、機能回路とその後段の組合せ回路との間に検査用の順序回路を設けることなく、該組合せ回路のスキャンバス検査が実施可能となる。これにより、構成回路を検査するための検査用回路の増大を抑え、かつ検査用回路による動作タイミングの変化を考慮した特別なタイミング設計を不要とすることができ、しかもスキャンバス検査を故障検出率の高いものとする効果がある。

【0080】この発明（請求項4）に係る半導体装置によれば、機能回路及びその前、後段の組合せ回路とともに、スキャンバス検査用信号の通過させるためのスキャンバスを形成可能な複数の順序回路を備え、上記機能回路前段側の順序回路の出力を機能回路前段の組合せ回路の入力とし、機能回路後段の組合せ回路の出力を機能回路後段側の順序回路の入力とするとともに、該前段組合せ回路の出力と、上記組合せ回路以外の組合せ回路の出力とを切り換えて所定の順序回路に出力する第1の信号切換手段と、上記機能回路の出力と上記いずれかの順序回路の出力とを切り換えて上記後段組合せ回路に出力する第2の信号切換手段とを備えたので、機能回路とその前、後段の組合せ回路との間に検査用の順序回路を設けることなく、該組合せ回路のスキャンバス検査が実施可能となる。これにより、構成回路を検査するための検査用回路の増大を抑え、かつ検査用回路による動作タイミングの変化を考慮した特別なタイミング設計を不要とすることができ、しかもスキャンバス検査を故障検出率の高いものとする効果がある。

【0081】この発明（請求項5）によれば、請求項4記載の半導体装置において、上記第1の信号切換手段を、上記複数の順序回路のうちの所定の順序回路の出力と上記制御信号との論理積に基づいて、上記前段組合せ

回路の出力と該前段及び後段組合せ回路以外の組合せ回路の出力との切り換えを行うよう構成したので、スキャンバス検査用信号のテストパターンによって、検査対象となる組合せ回路を切り換えることができ、これにより複数の組合せ回路の検査を自動的に行うことができる効果がある。

【図面の簡単な説明】

【図1】本発明の実施の形態1による半導体装置の構成を示すブロック図である。

【図2】本発明の実施の形態2による半導体装置の構成を示すブロック図である。

【図3】本発明の実施の形態3による半導体装置の構成を示すブロック図である。

【図4】故障検査のための回路を搭載した従来の半導体装置の構成を示すブロック図である。

【図5】故障検査のための回路を搭載した従来の一般的な半導体装置の構成を示すブロック図である。

【図6】図5に示す従来の一般的な半導体装置におけるスキャンバス検査時の動作を説明するための信号波形図である。

【符号の説明】

11 単体検査用入力パッド

12 単体検査用出力パッド

1CF, 18F, 19F, 28F, 3CF, 38F, 3FF, 39F SFF回路

1BC, 3BC 組合せ回路

1AC, 3AC AND回路

17S, 27S, 37S 第2の選択回路

3DC インバーター

30 3ES 第3の選択回路

11F, 21F, 31F 前段側SFF回路

12C, 22C, 32C 前段組合せ回路

13M, 23M, 33M 機能マクロ回路

14C, 24C, 34C 後段組合せ回路

15F, 25F, 35F 後段側SFF回路

16S, 26S, 36S 第1の選択回路

21 スキャンバス検査用入力パッド

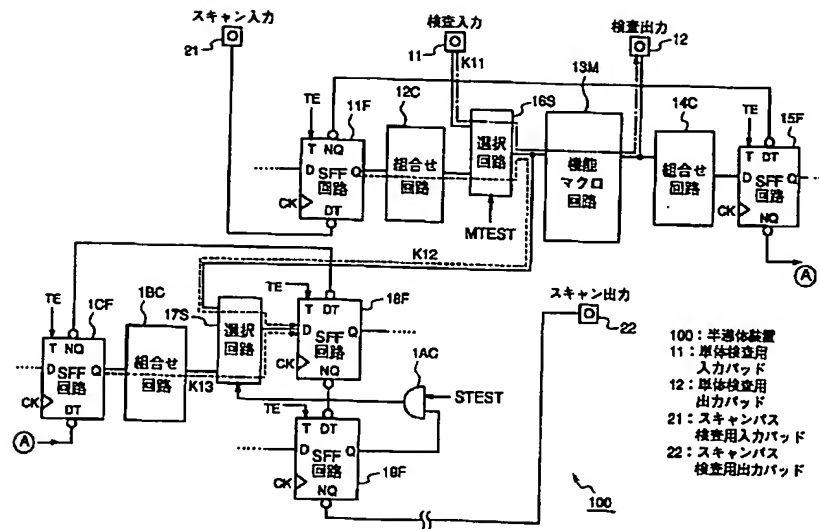
22 スキャンバス検査用出力パッド

100, 200, 300 半導体装置

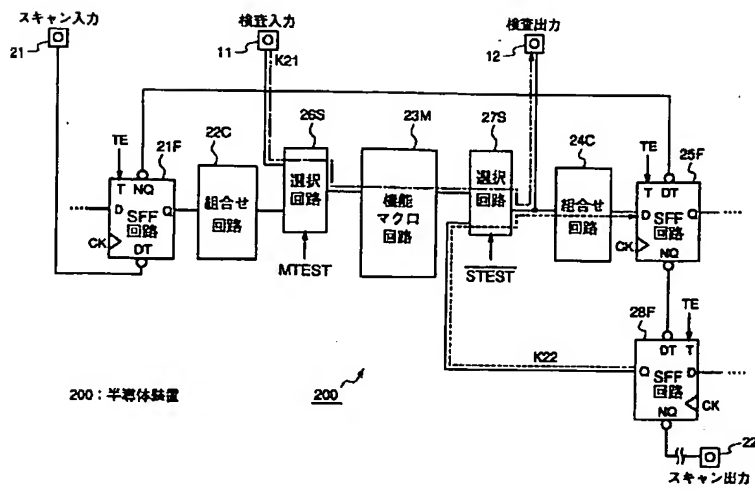
40 K11, K21, K31 単体検査経路

K12, K13, K22, K32~K34 スキャンバス検査経路

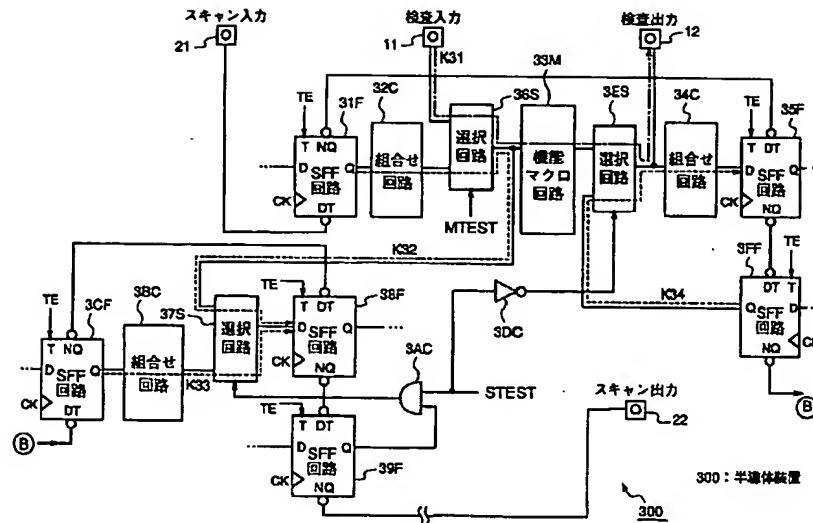
〔図1〕



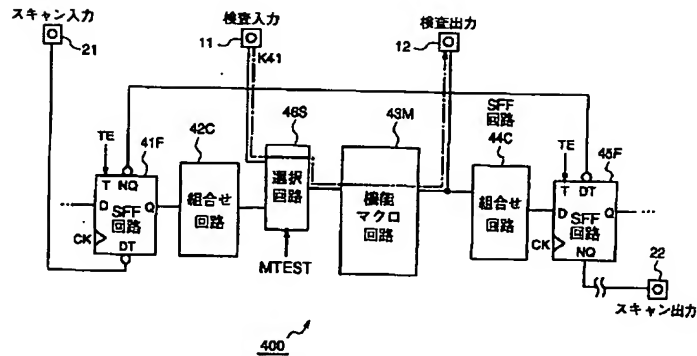
〔図2〕



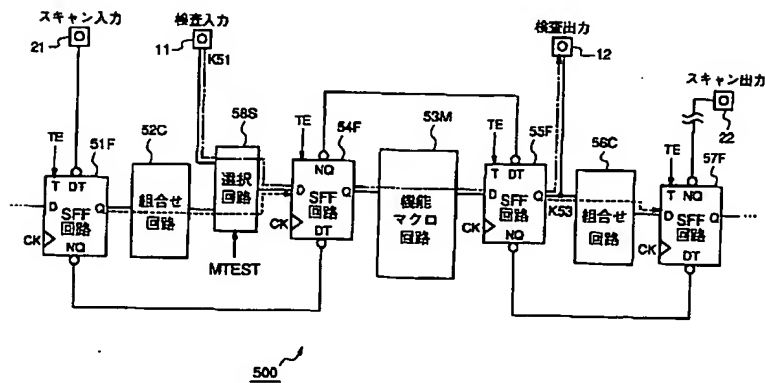
【図3】



【図4】



【図5】



【図6】

